

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-194042

⑬ Int. Cl.<sup>4</sup>

G 06 F 12/08  
12/12

識別記号

3 2 0

庁内整理番号

7010-SB  
F-7010-SB

⑭ 公開 平成1年(1989)8月4日

審査請求 未請求 請求項の数 3 (全11頁)

⑮ 発明の名称 ディスクキャッシュ制御方式

⑯ 特 願 昭63-18991

⑰ 出 願 昭63(1988)1月29日

⑱ 発 明 者 泉 田 直 樹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 山 谷 啓 隆

明 細 書

1. 発明の名称 ディスクキャッシュ制御方式

2. 特許請求の範囲

(1) データを格納したディスクデバイス(1)と、

上位(3)に接続され、且つ下位に該ディスクデバイス(1)を接続し、キャッシュメモリ部(2a)と該キャッシュメモリ部(2a)の管理テーブル(2b)とを含むコントローラ(2)とを有し、

該上位(3)からのアクセスアドレス情報により該管理テーブル(2b)を探索し、要求データが該キャッシュメモリ部(2a)にある時は、該キャッシュメモリ部(2a)をアクセスするディスクキャッシュ制御方式において、

該管理テーブル(2b)を、該アドレス情報の一部をキーとし、該キー毎に管理ブロックを附り置つて構成し、

該キャッシュメモリ部(2a)を該キー毎に領域分割して利用することを

特徴とするディスクキャッシュ制御方式。

(2) データを格納したディスクデバイス(1)と、

上位(3)に接続され、且つ下位に該ディスクデバイス(1)を接続し、キャッシュメモリ部(2a)と該キャッシュメモリ部(2a)の管理テーブル(2b)とを含むコントローラ(2)とを有し、

該上位(3)からのアクセスアドレス情報により該管理テーブル(2b)を探索し、要求データが該キャッシュメモリ部(2a)にある時は、該キャッシュメモリ部(2a)をアクセスするディスクキャッシュ制御方式において、

初期設定時に、該ディスクデバイス(1)の指定された領域を該キャッシュメモリ部(2a)に読み込んでLRU制御の対応外として管理しておき、

該キャッシュメモリ部(2a)の残余の領域を

## 特開平1-194042(2)

該管理テーブル(2b)によって管理して利用するようにしたこと

特徴とするディスクキャッシュ制御方式。

四 データを格納したディスクデバイス(1)と、

上位(3)に接続され、且つ下位にディスクデバイス(1)を接続し、キャッシュメモリ部(2a)と該キャッシュメモリ部(2a)の管理テーブル(2b)とを含むコントローラ(2)とを有し、

該上位(3)からのアクセスアドレス情報により該管理テーブル(2b)を探索し、

要求データが該キャッシュメモリ部(2a)にある時は、該キャッシュメモリ部(2a)をアクセスするディスクキャッシュ制御方式において、

該管理テーブル(2b)を、該アドレス情報の一部をキー値とし、該キー値毎に管理ブロックを割り振って構成し、

初期設定時に、該キャッシュメモリ部(2a)に該ディスクデバイス(1)の指定された領域を

読み込んでLRU制御の対象外として確保しておき、

該キャッシュメモリ部(2a)の残余の領域を各キー値毎に領域分割して利用することを特徴とするディスクキャッシュ制御方式。

## 3. 発明の詳細な説明

## (目次)

## 概要

## 産業上の利用分野

従来の技術(第8図、第9図)

発明が解決しようとする課題

課題を解決するための手段(第1図)

## 作用

## 実施例

(a)一実施例の構成の説明

(第2図、第3図、第4図)

(b)一実施例の割り振り処理の説明

(第5図、第6図)

(c)一実施例のリード/ライト処理の説明

## (第8図、第9図)

## (d)他の実施例の説明

## 発明の効果

## (概要)

ディスクデバイス中のデータの内参照頻度の高いデータをキャッシュメモリに格納しておくディスクキャッシュ装置において、

アクセスが集中してもキャッシュメモリの利用効率が低下することなく、ヒット率を向上しうるディスクキャッシュ制御方式に関し、

高速処理とヒット率の向上とを両立することを目的とし、

データを格納したディスクデバイスと、上位に接続され、且つ下位に該ディスクデバイスを接続し、キャッシュメモリ部と該キャッシュメモリ部の管理テーブルとを含むコントローラとを有し、該上位からのアクセスアドレス情報により該管理テーブルを探索し、要求データが該キャッシュメモリ部にある時は、該キャッシュメモリ部をア

クセスするディスクキャッシュ制御方式において、該管理テーブルを、該アドレス情報の一部をキー値とし、該キー値毎に管理ブロックを割り振って構成し、該キャッシュメモリ部を該キー値毎に領域分割して利用すること、又はディスクデバイスの指定された領域をキャッシュメモリ部に読み込んでLRU制御の対象外として確保しておき、キャッシュメモリ部の残余の領域を管理テーブルによって管理して利用するようにしたこと。

## (産業上の利用分野)

本発明は、ディスクデバイス中のデータの内参照頻度の高いデータをキャッシュメモリに格納しておくディスクキャッシュ装置において、アクセスが集中してもキャッシュメモリの利用効率が低下することなく、ヒット率を向上するようにしたディスクキャッシュ制御方式に関する。

近年のプロセッサ(CPU)の性能向上に伴い、ギガバイト以上の大容量の記憶装置を要求するシステムが開発されており、アクセスの集中に

## 特開平1-194042(3)

よるレスポンス時間の増大がシステム性能上ネックとなっている。

この対策として、キャッシュメモリを付加したディスクキャッシュ制御を採用することが一般的である。

ディスクキャッシュの動作原理は、ホストからの磁気ディスク装置上のデータへのアクセスの振りを利用して、参照頻度の高いデータを磁気ディスク制御装置内に付加されたキャッシュメモリに転写することにある。この転写したデータへの再アクセスの際には、磁気ディスク上のデータをアクセスする代わりに、キャッシュメモリからの直接転送によって高速アクセスを実現する。

キャッシュメモリ上のデータはLRU (Least Recently Used) アルゴリズムにもとづき入れ替えられる。

したがって、その時点でアクセス頻度の高いデータがキャッシュメモリ上に保持される。このデータへのホストからのアクセス要求に対してはキャッシュメモリから転送でき、磁気ディスクのフ

ォックスに待てるメカニカルな動作を不要とする。これによって、1/0応答時間が短縮されるので、アクセス頻度が増加しても、1/0の応答時間はほとんど増加しない。

このようなディスクキャッシュの性能は、全アクセス中のヒット率（キャッシュメモリにデータが存在する確率）によって大きく左右されることから、特にキャッシュメモリの有効利用を實現し、ヒット率を向上させる技術が求められている。

## 〔従来の技術〕

第8図はディスクキャッシュの説明図である。

図中、1はディスクデバイス、2はコントローラ、2aはキャッシュメモリ部、2bは管理テーブル、3は上位（ホスト）である。

データのリード時は、第8図(A)に示すように、上位であるCPU3の要求するリードデータについて管理テーブル2bを探索し、ヒット（データ存在）、ミスヒット（データ不存在）の判定を行い、ミスヒットならディスクデバイス1から、

ヒットならキャッシュメモリ部2aからデータを送る。

又、ミスヒットなら、キャッシュメモリ部2aに新たに領域を割り付け、要求されたデータをディスクデバイス1からキャッシュメモリ部2aに転送格納しておく。

一方、データのライト時は、第8図(B)に示すように要求されたライトデータの全てについて管理テーブル2bを探索し、ヒット、ミスヒットの判定を行い、ヒットならキャッシュメモリ部2aのデータを更新し、ミスヒットならディスクデバイス1のデータを更新する。

このミスヒットの場合に、キャッシュメモリ部2aにミスヒットデータの格納域を新たに割り付け格納する方法もある。

このようなディスクキャッシュ制御では、ヒット率向上が最大の課題である。

第9図は従来技術の説明図である。

キャッシュメモリの管理方法として、第9図(A)に示すセット・アソシアティブ方式と、第

9図(B)に示すフル・アソシアティブ方式が知られている。

セット・アソシアティブ方式は、ディスク装置1a~1n全体を連続している論理アドレスの領域毎にいくつかの組A、B……に分け、キャッシュメモリ2aも対応して分けておき、分割した各々でマッピングをとりメモリ2aを管理するものであり、管理テーブル2bを分割して探索できるため、高速サーチができる。

又、フル・アソシアティブ方式は、ファイル装置全体で1つの管理テーブル2bによりキャッシュメモリ2aを管理するものであり、メモリ2aを有効利用できる。

又、LRU制御に優先度をつけておき、参照頻度の高いデータはキャッシュメモリ2aのメモリ占有優先度を高くしておくようにして、キャッシュメモリ2aから読めるデータが違い出され（page in）するようにして、ヒット率を向上する方が知られている（例えば特開「日経エレクトロニクス」1985.3.11号第215頁乃至第216頁参照）。

(発明が解決しようとする課題)

しかしながら、キャッシュメモリの管理において、第9図(A)のセット・アソシアティブ方式では、キャッシュメモリ20の領域(マッピング)処理を高速化できるが、アクセスが分割したある値(値群又は領域)に集中すると、次々とL/RU制御でキャッシュメモリからデータが追い出され、メモリ20の有効利用ができず、ヒット率が低下するという問題があった。

又、第9図(B)のフル・アソシアティブ方式では、メモリ20が予じめ値に分割されていないので、メモリ20を有効に利用でき、アクセスが集中してもヒット率が向上する反面、管理テーブル21は一度のもののため、調査(マッピング)処理に時間がかかるという問題があった。

更に、参照頻度の高いデータをL/RU制御におけるメモリ20の優先度を高いものとしておく方式においては、ヒット率は向上するものの、データのアクセス毎に優先度の設定が必要となり、ア

クセス時間が長くなるという問題があった。

本発明は、高速処理とヒット率の向上とを両立することのできるディスクキャッシュ制御方式を提供することを目的とする。

(課題を解決するための手段)

第1図は本発明の原理説明図である。

第1図(A)において、第8図及び第9図で示したものと同一のものは同一の記号で示してある。

本発明は、第1図(B)に示すように、管理テーブル21を、アクセスアドレス情報の一部をキー値keyとし、キー値毎に管理ブロックMBを割り振って構成し、キャッシュメモリ20をキー値毎に領域分割して利用するものである。

又、第1図(C)に示すように、初期設定時に、ディスクデバイス1の指定された領域をキャッシュメモリ20に読み込んで、図の斜線の如く、L/RU制御の対象外として確保しておき、キャッシュメモリ20の残りの領域(図の斜線外)を管理テーブル21によって管理して利用するよう

にしたものである。

更に、第1図(D)に示すように、管理テーブル21を、アドレス情報の一部をキー値keyとし、キー値毎に管理ブロックを割り振って構成するように、初期設定時に、ディスクデバイス1の指定領域をキャッシュメモリ20に読み込んで、図の斜線の如く、L/RU制御の対象外として確保しておき、キャッシュメモリ20の残りの領域を各キー値毎に領域分割して利用するものである。

(作用)

本発明は、第1に従来セット・アソシアティブ方式として一連の連続アドレス毎に、メモリ20を領域分割したものを、アドレスの一部をキー値とし、キー値毎にメモリ20を領域分割するようにした。

これによって、一連の連続アドレスのデータはキー値で不連続な領域に分割して管理されるので、アクセスがディスクデバイスのある順番や領域に集中しても、特定のkey毎の領域のみが使用され

ることなく、分散使用される。

従って、メモリの効率を向上し、又L/RU制御によって追い出される可能性が小となるから、ヒット率が向上し、キー値による管理ブロックの高速探索との両立を図れる。

第2に、初期設定時に、ディレクトリや文字パターン等の頻繁にアクセスされるデータをキャッシュメモリ20に読み込んで、L/RU対象外として確保するので、予じめ初期設定時にL/RU対象外の設定ができ、アクセス毎に格納データをキャッシュメモリに読み込み且つL/RU対象外の制御を行わなくてよい。

従って、アクセス時間を短縮し且つヒット率の向上を図れる。

第3に、アクセス頻度の高いデータを予じめキャッシュメモリに確保しておき、残りの領域をキー値毎に領域分割するので、アクセス頻度を反映したメモリの最適な領域割り分けができ、高速探索とヒット率向上を両立できる。

特開平1-194042(4)

## 特開平1-194042(5)

(実施例)

(a) 一実施例の構成の説明

第1図は本発明の一実施例ブロック図、第3図は第2図構成の管理テーブルの構成図である。

図中、第1図、第4図及び第9図で示したものと同一のものは同一の記号で示してあり、20は主制御部であり、マイクロプロセッサ(MPU)で構成され、上位からのコマンド解析処理、コマンド実行処理等をプログラムの実行によって行うもの、21はキャッシュコントローラであり、キャッシュメモリ22のページ管理、読取処理、LRU処理等を行うものである。

22はシステムバスコントローラであり、システムバス4に接続され、上位(本体システム)3とコマンド、データのやりとりを行うもの、23は入出力コントローラ(IOC)であり、ディスクデバイス1a~1nと接続され、ディスクデバイス1a~1nとの入出力制御をするもの、24はRAM(ランダムアクセスメモリ)であり、第3図の管理テーブル2bが設けられるもの、25

aは1/0バスであり、IOC23、システムバスコントローラ22及びキャッシュメモリ20を接続し、データのやりとりを行うもの、25bはローカルバスであり、制御部(MPU)20、システムバスコントローラ22、IOC23、RAM24及びキャッシュコントローラ21を接続し、コマンド、データのやりとりを行うものである。

キャッシュメモリ22は、RAM(ランダムアクセスメモリ)で構成され、4メガバイト程度の容量を有するものである。

30は本体側のプロセッサ(CPU)であり、31はメインメモリであり、32は本体側のシステムバスコントローラ、33はROM(リードオンリーメモリ)である。

第3図により管理テーブル2bについて説明する。

第3図(B)に示すようにアクセスアドレスは、アクセスするディスク装置番(ディスクアドレス)4aと、そのディスク装置上の論理ブロックアドレス4bとで構成される。

キャッシュメモリ22の管理サイズとして1ページを8ブロックとすると、論理ブロックアドレス4bの下位3ビットのpはページ内アドレスを示し、それ以外はページアドレスを示す。

ここでは、ページアドレスの下位4ビットをキーkeyとして用いる。

管理テーブル2bは、キー値テーブルKTと、管理ブロックMBで構成されている。

キー値テーブルKTは、各キーkeyに対応し、管理ブロックMBの使用先順アドレスA0、未使用先順アドレスA0i、使用中最後アドレスA0fが設けられている。キー値mは、fビットとすると、2<sup>f</sup>である。

管理ブロックMBは、1ページを4キロバイトとすると、キャッシュメモリ22は約4メガバイトのため、1024ページに分割されるから、各ページに対応して、1024ヶ設けられる。

管理ブロックMBは、リンクエリア(次のブロックの連続管理)Lnと、格納したデータの属性(アドレス管理とLRU対応用データタイプDT

Yか否か等)と、対応するキャッシュメモリ22のバッファ(メモリ)アドレスと、データの有効期限とを格納する。

第4図は第2図構成の管理テーブルの説明図である。

ディスクデバイス1a~1nの連続アドレスのページ領域4、4+1、4+2は、アドレスの1部としてのキーkeyが異なるため、キー値テーブルKTのキーkey「a」、「a+1」、「a+2」に分散して振り分けて格納される。

従って、キャッシュメモリの効率的利用、即ち分散利用が図れ、高速のテーブルサーチと、アクセスの集中があっても、ヒット率の向上が図れる。

(b) 一実施例の動作処理の説明

第5図は本発明の一実施例の動作処理フロー図、第6図は本発明の一実施例動作処理図である。

① 初期設定時に、本体システム3から割り当てコマンドが実行されると、アダプタ2では、システムバスコントローラ22を介しMPU20が受信し、コマンド解析する。

## 特開平1-194042(6)

MPU20は、キャッシュコントローラ21に割り振り指示を与える。

キャッシュコントローラ21は、RAM24の管理テーブル2bの全ての管理ブロックMBを未使用キューにリンクする。

次に、キャッシュコントローラ21は、本体システム3から割り振りの特定領域の指定があったかを調べる。

③ キャッシュコントローラ21は、特定領域の指定があれば、その指定領域の先頭アドレスを認識し、対応するキーkeyを計算する。

④ 次にキャッシュコントローラ21は、未使用の管理テーブル(ブロック)MBをアダプタ内未使用キューから獲得制御する。

キャッシュコントローラ21は、獲得に失敗すると、即ち未使用管理ブロックMBが必要数以下又は零なら、全ての管理テーブル(ブロック)をアダプタ内未使用キューにリンクして、異常終了とする。

⑤ 一方、キャッシュコントローラ21は、獲

得に成功すると、I/O23より当該アドレスのディスクデバイス10~1nのデータを、キャッシュメモリ2aの当該管理ブロックの領域に読み込み、格納する。

この時、管理ブロックMBのデータ属性としてデータタイプ指定フラグ(LRU対象外フラグ)TYPを立てておく。

更に、キー値テーブルKTの該当キー値へ当該管理ブロックMBをリンクさせる。

次にキャッシュコントローラ21は、指定領域の終了かを調べ、指定領域の終了でないと、次の領域のアドレスをポイントし、ステップ③に戻る。

⑥ 一方、キャッシュコントローラ21は、指定領域の終了と判定すると、他の領域が指定されているかを調べ、指定されていれば、ステップ③に戻り、次の領域の読み込みを行う。

又、指定されていないれば、次のキーkeyをポイントする。

⑦ 次に、キャッシュコントローラ21は、既り未使用管理ブロック(テーブル)MBが有るか

を調べる。

未使用テーブルMBがあれば、そのキー値に未使用管理ブロックを割り振り、次のキーkeyをポイントし、ステップ③の失敗に戻る。

未使用テーブルMBがなければ、正常終了する。

⑧ 一方、ステップ④で特定領域の指定がなければ、キー値テーブルKTのキーkey=0をポイントし、ステップ③に進む。従って、指定なしでは、第6図(B)のように、各キーkeyに対し、同数の管理ブロックMBが割り振られ、これによって各キーkeyに対するキャッシュメモリ2aの領域数は同一となる。

逆に、特定領域が指定され、例えば、特定領域がキーkeyの「0」~「n」まで4ブロックづつとすると、第6図(A)に示すように、キーkeyの「0」~「n」に対し、4つのLRU対象外の管理ブロックMBが割り振られ、残りの管理ブロックMBはキーkeyの「0」~「m」に均等に割り振られる。

従って、アクセス頻度に応じてキャッシュメモ

リ2aが領域分割されることになる。

(c) 一実施例リード/ライト処理の説明

第6図は本発明の一実施例リード/ライト処理フロー図である。

① 本体3からのコマンドは、システムバス4を介しシステムバスコントローラ22に受け付けられ、ローカルバス23bを介しMPU20に伝えられる。

MPU20は、考えられたコマンドを解析し、リード又はライトコマンド受領と判定すると、キャッシュコントローラ21にキャッシュ制御を命じる。

キャッシュコントローラ21では、コマンドに付随する本体3からのアクセス番号dと当該ブロックアドレスmbaによりアドレス情報を作成し且つ第3図(B)のようにキーkeyを計算する。

そして、RAM24の管理テーブル2bのキー値テーブルKTから当該キーkeyにリンクされている最初の管理ブロックをポイント(指示)す

## 特開平1-194042(ア)

る。

③ キャッシュコントローラ21は、該キーの使用中管理ブロックがあるか使用中先頭アドレスA0により調べ、有ればヒット、ミスヒットの判定に進む。

即ち、キャッシュコントローラ21は、リンクされた使用中管理ブロックを調べ、当該アドレス情報に一致するものであるかを調べる。

あれば、ヒットであり、キャッシュメモリ22の当該管理ブロックの示すバッファアドレスにデータが存在するから、ステップ⑤のヒット時のデータ転送処理に進む。

逆になければ、ミスヒットであるから、当該参照した使用中管理ブロックMBのデータ属性中のデータタイプを調べ、データタイプとしてLRU対象外の指定でないものを追い出し(purge)管理ブロック候補として保存しておく。又、LRU対象外の指定のものとは、追い出し候補から除外する。

そして、使用中最終テーブル(ブロック)まで調べたかを判定し、最終でなければ、次の管理ブ

④ キャッシュコントローラ21は、ステップ③で使用中管理ブロックなし、又はステップ③で、ミスヒットと判定すると、当該キーの未使用管理ブロックがあるかを判定する。

未使用管理ブロックがあれば、未使用管理テーブルキューの先頭のテーブルを獲得し、当該テーブル(ブロック)に必要な情報を書込み、ステップ③のミスヒット時のデータ転送処理に進む。

⑤ 一方、ステップ④で未使用管理ブロックなしと判定すると、キャッシュコントローラ21はLRUアルゴリズム制御を行う。

即ち、ステップ④で保存されたLRU候補のテーブル(アドレス)があったかを調べる。

なければ、全ての管理ブロックはLRU対象外のため、当該キーのキャッシュメモリの使用不可のため、ステップ③のキャッシュメモリを用いないデータ転送処理に進む。

一方、候補テーブル(アドレス)があれば、コマンドがリードからライトかを調べる。

コマンドがライトなら、ページ(purge)しな

く、ヒットをポイントし、このステップ⑤の先頭のヒット、ミスヒット判定に戻る。

逆に最終テーブルまで調べても、ミスヒットなら、ステップ④に進む。

⑥ MPU20は、ヒットであれば、I/Oバス3とシステムバスコントローラ22とキャッシュコントローラ21に転送経路をかけ、I/Oバス25aを介するコントローラ22とキャッシュメモリ22及びI/Oバス3の転送ルートを選択する。従って、リードであれば、キャッシュメモリ20から要求データがシステムバスコントローラ22へ転送され、更にシステムバス4を介し本体3のメインメモリ31へ転送される。

一方、ライトであれば、メインメモリ31からシステムバス4を介し与えられたライトデータがシステムバスコントローラ22からキャッシュメモリ20へ転送され、書込まれる。

これとともにI/Oバス3にライトデータが転送され、ディスクデバイス1a～1nに書込まれる。そして、ステップ⑥に進む。

てもよいから、ステップ⑤のキャッシュメモリを使用しないデータ転送処理に進む。

一方、コマンドがリードなら、当該候補された管理テーブル(ブロック)を追い出しテーブルとして獲得し、管理ブロックの内容を書き換えて、ステップ⑤のミスヒット時のデータ転送処理に進む。

⑦ MPU20は、リードなら、I/Oバス3にディスクデバイス1のリード経路を命じる。そして、システムバスコントローラ22、キャッシュコントローラ21を転送経路とする。

従って、ディスクデバイス1はリード経路を命じられ、リードデータは、I/Oバス3よりI/Oバス25aを介しキャッシュメモリ22に与えられ格納されるときに、システムバスコントローラ22へ転送され、更にシステムバス4より本体3のメインメモリ31へ転送される。

ライトなら、ステップ⑤と同様である。

そして、ステップ⑥に進む。

⑧ MPU20は、ローカルバス25bよりシ

## 特開平1-194042(8)

システムバスコントローラ22及びI/Oバス25を経由し、転送指示する。

これによってライトなら、システムバスコントローラ22からI/Oバス25よりI/Oバス25よりライトデータが転送され、ディスクデバイス1に転送される。

一方、リードなら、ディスクデバイス1からのリードデータがI/Oバス25よりI/Oバス25よりシステムバスコントローラ22へ転送され、システムバスより本体3のメインメモリ31へ転送される。

④ また、ステップ③、④の終了後、当該管理テーブル(ブロック)14Bを該当キー値keyからのリンクの先頭にリンクするようリンクエリア、先頭アドレス等を書き換え、終了する。

このようにして、アドレスの一部のキーkeyでキャッシュメモリ22を分割しているので、連続アドレスのアクセスに対し、分割領域の一部のみが使用されることなく、分散して使用されるから、メモリを有効利用でき且つ一部の領域が集中

使用され、必要なデータがLRU制御で直ちに追い出されることもなく、ヒット率が向上する。又、キーkey毎に管理ブロックをサーチするので、フル・アソシティブ方式に比し、マッピング処理がほぼ1/key値に短縮でき、高速のマッピング処理が可能となる。

更に、頻りにアクセスされる領域については、最初のアクセスからヒットさせることができるとともに、データの追い出しもほかの領域にくらべて遅くすることができ、初期設定時にまとめて行うので、通常アクセス時に処理時間が長くなることもなく、ヒット率向上とアクセス時間の短縮を図れる。

このキー値の決定方法及び幅数は、キャッシュメモリ22のサイズやキャッシュメモリ中の管理サイズ等の情報で決定すればよく、この実施例では、キャッシュメモリ22が4メガバイト、管理サイズ(ページ)が4キロバイトで、1024分割され、キー値は128であり、1つのキー値に8ページ(8管理ブロック)が設定されている。

## (4) 他の実施例の説明

上述の実施例では、ディスクデバイスをn個のデバイスで説明したが、1つであってもよく、ディスクデバイスは磁気ディスクデバイスに限らず、光ディスクデバイス等機械的動作を伴う周知のファイルデバイスを用いることができる。

又、第1図において、ミスヒット時にステップ④で、ライトコマンドに対し、キャッシュメモリへの格納を行わないようにしているが、リードコマンドと同様にキャッシュメモリへの格納を行うようにしてもよい。

更に、第1の請求項においては、初期設定でキャッシュメモリ22に指定領域を割り込まずともよく、第2の請求項においては、従来のセット・アソシティブ方式等を採用してもよい。

以上本発明を実施例により説明したが、本発明は本発明の主旨に従い種々の変形が可能であり、本発明からこれらを排除するものではない。

## (発明の効果)

以上説明した様に、本発明によれば、第1にアドレスの連続した領域に対し、キャッシュメモリ22で振り分けて格納されるので、キャッシュメモリ22を有効利用でき、アクセスが一部の領域に集中しても、キャッシュメモリ22に格納したデータが直ぐ追い出されることなく、ヒット率を向上できるとともに、高速のマッピング処理が可能となりアクセス時間も向上するという効果を得る。

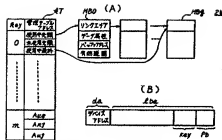
第2に、参照頻度の高いデータを初期設定時にまとめてキャッシュメモリ22に割り込んでLRU対策外として確保しておくので、ヒット率が向上するとともにアクセス毎にLRU制御を行わなくてもよいためアクセス処理を高速化できるといふ効果を得る。

第3に、参照頻度の高いデータを予めLRU対策外としてキャッシュメモリ22に確保しておく、キー値毎に複数の領域を振り分けるので、高速アクセスとヒット率の向上という効果を得る他

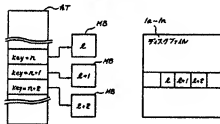
## 特開平1-194042(9)

3—上位（本体システム）。

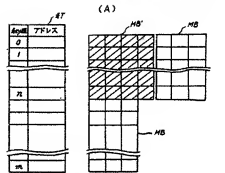
特開平1-194042 (10)



第3図

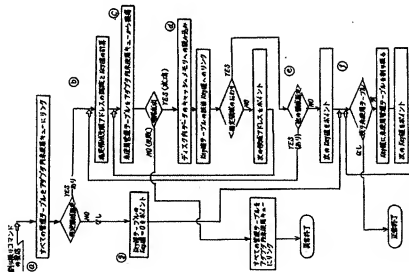


第4図



第5図

第6図



第6図



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-194042

(43)Date of publication of application : 04.08.1989

(51)Int.Cl.

G06F 12/08

G06F 12/12

(21)Application number : 63-018991

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.01.1988

(72)Inventor : IZUMIDA NAOKI

## (54) DISK CACHE CONTROL SYSTEM

## (57)Abstract:

**PURPOSE:** To improve a hit ratio without dropping the using efficiency of a cache memory even if accesses are concentrated by using a part of address information in a control table as a key value, allocating a management block to each key value and dividing a cache memory part into areas corresponding to respective key values to use the area.

**CONSTITUTION:** The control table 2b is constituted of using a part of access address information as a key value and allocating a management block MB to each key value and the cache memory part is divided into areas corresponding to respective key values to use the areas. Thereby, address continuous areas are distributed and stored by/in the cache memory 2a. Consequently, the cache memory can be effectively utilized, and even if accesses are concentrated into a partial area, data stored in the cache memory 2a are not immediately read out and the hit ratio can be improved.

